

# 新しい電界効果型のトランジスタ(SIT)に関する研究

著者	寺崎 健
号	361
発行年	1977
URL	<a href="http://hdl.handle.net/10097/11310">http://hdl.handle.net/10097/11310</a>

氏 名	てら さき たけし 寺 崎 健
授 与 学 位	工 学 博 士
授与学位年月日	昭和 5 2 年 1 2 月 7 日
学位授与の根拠法規	学位規則第 5 条第 2 項
最 終 学 歴	昭和 3 6 年 3 月 東北大学理学部物理学科卒業
学 位 論 文 題 目	新しい電界効果型のトランジスタ (SIT) に関する 研究
論 文 審 査 委 員	東北大学教授 西沢 潤一 東北大学教授 和田 正信 東北大学教授 高橋 正 東北大学教授 小野 正一 東北大学助教授 宮本 信雄

## 論 文 内 容 要 旨

本論文は、西沢の着想とその指導の下で筆者らが開発に成功した新しい特性を有する電界効果型のトランジスタに関するものである。

従来トランジスタと称されるものは、大きく分けるとバイポーラ・トランジスタとユニポーラ・トランジスタの 2 種類であった。前者は電流制御型の素子であるのに対し、後者は電圧制御型の素子であるが、いずれも  $I-V$  特性において 5 極真空管特性のように電流が電圧の増加と共に飽和する特性を有している。

特に後者の素子は、W・Shockley がユニポーラ電界効果トランジスタ (Unipolar Field Effect Transistor) と名づけて提案した素子<sup>(1)</sup>であり、実際に製作された素子の微小電圧・電流値

域の立ち上り特性がShockleyの理論によって良く説明された為に、実際の素子の特性が全て電圧の増加と共に電流が飽和しShockleyの理論と合わなくなるにも拘らず、実際の素子も理論もFET素子、理論として定着していた。

このFET素子の電流飽和現象に対する西沢の疑問と、FETの内部のチャンネルの有する直列抵抗とその増大にその原因を求める着想とから、筆者らは直列抵抗とその増大を小さくする意図でFig. 1に示すような構造をもつ電界効果型のトランジスタの開発と研究に入ったわけである。

この素子においては $p^+$ ゲート電極が $n$ 型Si結晶内において網目状に配列され、多数のチャン

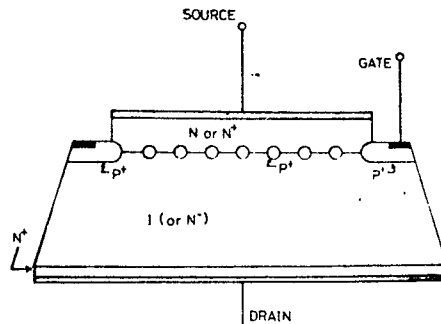


Fig. 1

ネルが形成されており、電流はそのチャンネルを通して縦方向に流れる。そしてゲート電極下のチャンネル長は、チャンネル幅に比して小さく、ドレイン電極側のチャンネルには高比抵抗結晶が用いられている。

結論的に述べれば、このような構造を持つ素子（云い換えればチャンネルの有する直列抵抗が小さく、動作中においてもその直列抵抗の増大が抑制され得る素子）においては、電流が飽和せずに3極真空管型の $I-V$ 特性が得られることが示され、特性も設計によって選ぶ全く新しい電界効果型のトランジスタを再現性良く得ることに成功した。

このような特性を有するトランジスタは今まで作られたことがなく、又伝導機構も静電誘導によるチャンネルの内部電位変化に依存する新しい機構であるために、西沢によって静電誘導型電界効果トランジスタ（Static Induction Field Effect Transistor 或は Static Induction Transistor 略してSIT。以下SITと称す）と命名された。<sup>(2)</sup>

このSITの出現によって、出力インピーダンスが小さく、高出力、高周波、雑音特性のすぐれた第3のトランジスタとも云うべきトランジスタが誕生し、半導体素子の応用分野が大きく広がったと考えられるが、それと共に今まで混沌としていたFET飽和機構に対する論議に終止符をうつことができたと言えよう。

本稿は第1章～第5章から成り、第1章はSIT誕生の背景となるFET飽和特性の検討とSIT

素子の構造について述べ、第2章はSITの製作技術について気相成長法による高比抵抗結晶製作を中心に述べ、第3章は実験条件を変えて得られるSITの静特性の変化とそれを説明するための伝導機構の検討について述べ、第4章は伝導機構の中心となる静電誘導による内部電位変化をSIT構造模型に対し数量的検討を加えて電圧増幅率の理論式を導出し実験結果との比較を行った結果を中心に述べ、他に逆特性、出力に関する実験結果について述べた。第5章は簡単なまとめである。

SIT全体の概要は上述したので、以下に各章の要旨を述べる。

## 第 1 章

FETに関するShockleyの理論に従えば、キャリアの流れる空乏層化していないチャンネル（以下伝導チャンネルと称す）の幅がチャンネルに広がる空乏層によって閉じられて零になってしまう（所謂ピンチオフしてしまえば）、電流が零になるべきなのであるが、実際には電流はほぼ一定で流れつづける。これに対する疑問から西沢ら<sup>(3)</sup>はFETの内部電位解析を行って電流の飽和現象を検討し、西沢はチャンネルの直列抵抗とその増大に原因を見いだした。

即ちゲート間の伝導チャンネルを電流が流れれば、IR dropによってゲート・チャンネル間の逆電圧が増大するから、ドレイン側へ行くに従って伝導チャンネルの幅はせまくなり、チャンネルのもつ直列抵抗は電流の増加によって増加する性質をもつ。特にピンチオフ電圧近傍では伝導チャンネルの幅は非常にせまくなるので、キャリアが空乏層内ににじみ込むにしても直列抵抗は極端に大きくなり負帰還作用で電流の増大を抑制するように働く筈である。この直列抵抗とその増大がピンチオフ電圧近傍で電流飽和を生ぜしめていたわけで、ピンチオフ現象そのものが電流飽和に対応していたのではないと考えられる。素子のソース電極からピンチオフ点までのチャンネルの直列抵抗を $r_s$ とし、ピンチオフ点からドレイン側の空間電荷領域での伝導による相互コンダクタンスを $G_m$ であらわせば観測される相互コンダクタンス $g_m$ は

$$g_m = G_m / (1 + r_s G_m)$$

であらわされると考えられる。動作中 $r_s$ が大きくなって $r_s G_m \gg 1$ となっていた従来のFETではソース電極からピンチオフ点までのチャンネル領域の伝導特性があらわれていたと考えられる。このことから $r_s$ が増大せず空間電荷領域内の伝導特性が得られる素子（即ち飽和しない素子）を得る構造として、ゲート下のチャンネル長は短く、チャンネル幅を広く、ソース側の不純物密度は比較的高く、チャンネル幅が広くても微小電圧でピンチオフして空間電荷領域ができるようにドレイン側のチャンネルの不純物密度を低くしたFig. 1に示すような構造の素子を試作したのである。

この構造は、以前に渡辺・西沢<sup>(4)</sup>が提案（Fig. 2）し、2年遅れてShockley<sup>(5)</sup>がアナログトラ

ンジスタと名付けて提案 (Fig. 3) した構造に類似している。これらは提案のみであったが、Shockley はアナログトランジスタの特性は、初め渡辺・西沢<sup>(6)</sup>らが pip ダイオードで成立つとして発表し、遅れて Shockley<sup>(7)</sup>らがダイオードで発表した空間電荷伝導則 ( $I \propto V^n$   $n = 2 \rightarrow \frac{1}{2} \rightarrow 1$ ) に従うとしたが<sup>(8)</sup>、SIT は静電誘導によって電流が電圧に関して指数関数的な変化を示す特性であった。

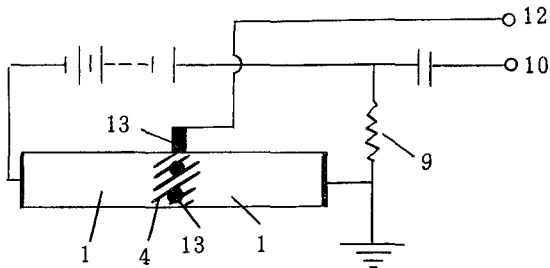


Fig. 2

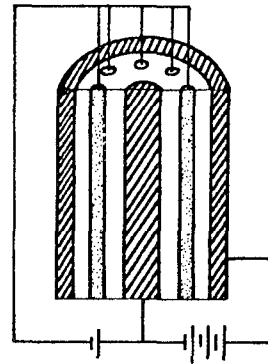


Fig. 3

## 第 2 章

SIT では  $p^+$  ゲート電極が高比抵抗結晶上に設置された形で結晶内に埋め込まれている。I-V 特性は、実験の結果ゲート電極の大きさ、ゲート電極間の間隔、ピンチオフして空間電荷領域が形成される上記のドレイン側高比抵抗結晶層の不純物密度及びその層の厚みによって変化することが分かったので、これらのパラメータを正確に制御する製作技術を開発研究する必要があった。この中で最も重要な技術は高比抵抗層結晶成長技術であるが、筆者らはそれまで基礎研究として行っていた四塩化硅素  $SiCl_4$  の水素還元法による結晶成長法を発展させて技術を確立した。

$n^+$  或は  $p^+$  基板に高比抵抗の  $n^-$  或は  $p^-$  成長層を形成する場合、成長層の不純物密度を支配するのは⑧  $SiCl_4$  或はその容器の汚染、⑨ 成長配管系の汚染、⑩ 加熱台の汚染、⑪ 基板の汚染（主に裏面からの不純物の飛びだし）であって、注意深く取り扱うと殆ど⑩のみにできることが分かった。その結果不純物密度  $10^{19} \sim 20^{20} \text{ atoms/cm}^3$  程度の Sb doped  $n^+$  基板上或は B doped  $p^+$  基板上に再現性良く  $10^{12} \sim 10^{13} \text{ atoms/cm}^3$  の  $n^-$  或は  $p^-$  層を成長する技術を確立した。

このドレイン側高比抵抗領域となる成長層上に  $p^+$  ゲート領域を B 拡散で網目状に形成したのち、再び成長してソース領域を形成するのであるが、表面に露出した  $p^+$  不純物が成長の為の昇温過程で表面拡散し、チャンネルとなる  $n^-$  領域を p 型化する現象がおき、製作上の大きな障害

となったが、その表面拡散する p 型不純物を補償するために、素子の不必要部に  $n^+$  を拡散しておくことで大体の解決を見た。

他に不純物密度の異なる結晶層を互いに接続したことによって起る格子歪・或は湾曲・転位の発生を、西沢が提唱した原子半径の異なる他の不純物を同時に混入することによって格子歪を補償しようとする方法<sup>(9)</sup>は、気相成長に於ても成功し  $10^{20}$  atoms/cm<sup>3</sup> の高不純物密度層も  $10^{13}$  atoms/cm<sup>3</sup> 程度の低不純物密度層上に歪・湾曲・転位の発生なしに形成できる技術を確認した。<sup>(10)</sup>

これらによって SIT を製作しうる基本的技術の主なものは確立したと考えられる。

### 第 3 章

SIT の製作条件を変えた場合の静特性例を Fig. 4 に示す。(a) はチャンネル幅が広い、或は高比抵抗領域の不純物密度がそれ程低くなく、ピンチオフ電圧が割合に高い場合であり、(c) はチャンネル幅がせまい、或は高比抵抗領域の不純物密度が低くて、ゲート電圧或はドレイン電圧を加えない状態ですでにピンチオフ（拡散電位によって）してしまっている素子であり、(b) はその中間の製作条件のものである。

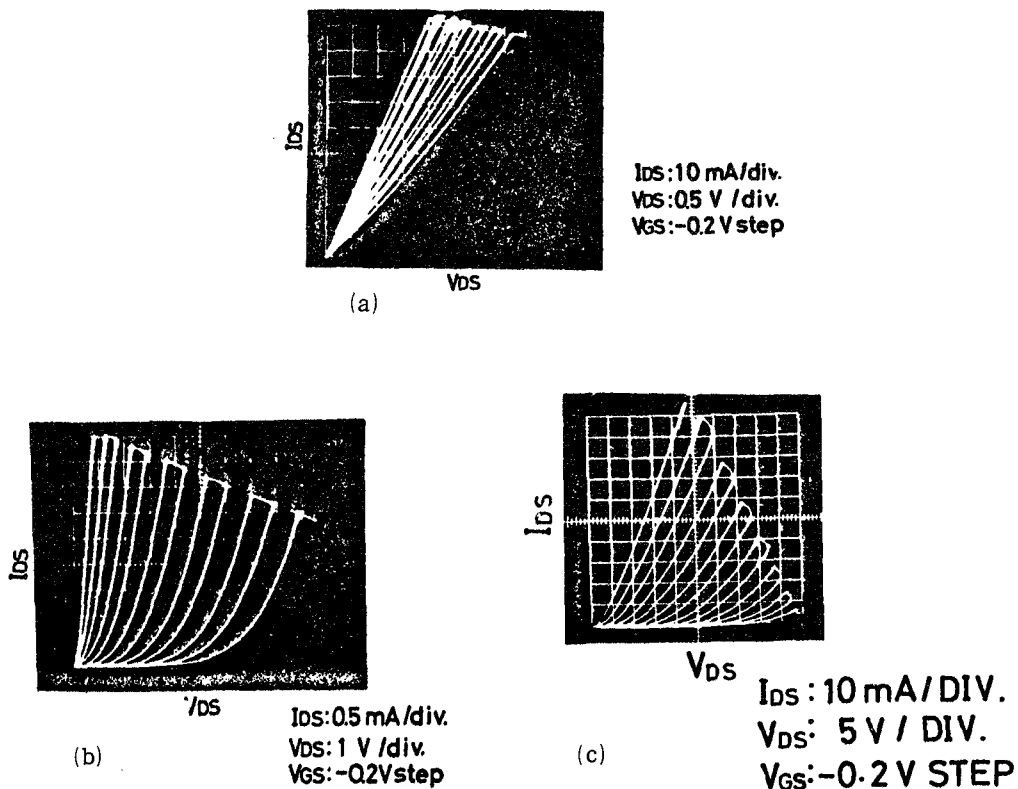


Fig. 4



導で変化するという点から，Fig.6 に1チャンネルの断面構造模型を示したように，ドレイン側の空間電荷の増加の影響を  $x=0$ （チャンネル中心の）の電位最高の点でとらえて，電圧増幅率  $\mu$  の理論式を導出すると， $\mu = \frac{\partial V_{DS}}{\partial V_{GS}} = \frac{\partial V_{h_0}}{\partial V_{GS}} \cdot \frac{\partial V_{DS}}{\partial V_{h_0}}$  とおけるから，

$$\mu = \frac{2W_D \ln \frac{\sqrt{W_D^2 + d^2}}{r_g}}{\sqrt{W_D^2 + d^2} - \sqrt{W_D^2}} \left(1 - \frac{W_S}{a}\right) - 1$$

となった。（空間電荷領域の厚み  $W_D$  が通常程度の厚みの時）この理論式は実際の実験結果より数値として4倍程度高くなるが（その原因の一つとして  $V_{h_0}$  の高さの算定に円筒形状の接合の特殊性を無視したことが考えられる），高比抵抗領域の厚み依存性，接合曲率半径  $r_g$ ・チャンネル幅  $2a$  などの大きさ・寸法依存性，高比抵抗不純物密度依存性を定量的に極めて良く説明できることが判り，静電誘導の考え方の正しいことが証明された。出力抵抗  $r_D$ ，相互コンダクタンス  $g_m$  もほぼ同様に説明できる。

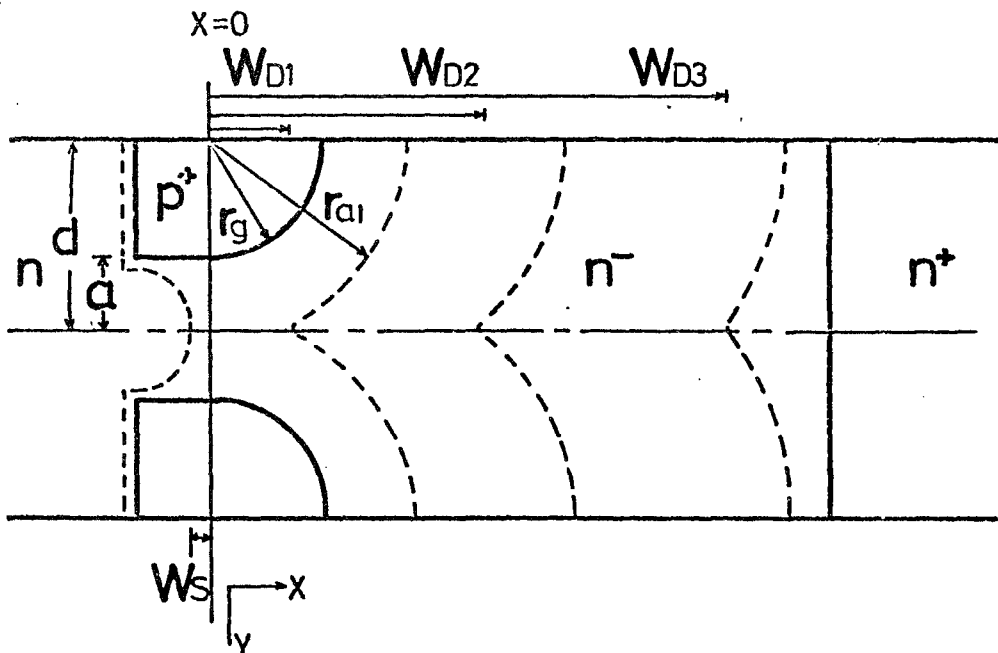


Fig. 6

この他SITの耐圧特性についても検討し，ソース・ゲート間の耐圧  $V_{GSB}$  が  $\mu$  倍された値が



ゲート・ドレイン間の単独と考えた場合の耐圧よりも大きければ、ゲート・ドレイン間の耐圧がほぼ独立して測定できること、有限厚みをもった円筒形接合の耐圧の理論式などを示した。

又SITの出力特性についても検討し、高出力に適していること、 $7\text{ mm}$ 角で200W程度以上得られることなどについて述べた。

## 参 考 文 献

- (1) W. Shockley : Proc. IEEE, 40 (1952) 1365
- (2) J. Nishizawa, T. Terasaki and J. Shibata : IEEE Trans, on ED, ED-22 (1975) 185
- (3) H. Tango and J. Nishzawa : Solid State Electronics, 13 (1970) 1415
- (4) 渡辺寧・西沢潤一 : 日本特許No. 205068, 特許公報 昭和 28-6077 (第 15 図)  
(1950 年 12 月出願)
- (5) W. Shockley : Proc. IEEE, 40 (1952) 1289
- (6) 渡辺寧・西沢潤一・吉田善三 : 物性論研究, 41 (1951) 96
- (7) W. Shockley and R.C. Prim : Phys. Rev., 90 (1953) 753  
G.C. Dacey : *ibid.*, 90 (1953) 759
- (8) W. Shockley : U.S. Patent 279-0037, Mar. 14, 1952
- (9) K. Yagi, N. Miyamoto and J. Nishizawa : Japan J. Appl. Phys., 9 (1970) 246
- (10) J. Nishizawa, T. Terasaki, K. Yagi and N. Miyamoto : Seoul Int. Conf. on IEEE  
Sept 1970

## 審 査 結 果 の 要 旨

現在、トランジスタとしては、合金型を代表とするバイポーラトランジスタと、電界効果トランジスタの2種類が工業化されている。しかし、何れもある電圧値以上では電流がほとんど変化しない、いわゆる飽和特性を示している。本論文は、このような飽和の生じない、いわゆる三極真空管型の特性を示す新しいトランジスタの基礎研究から出発して試作開発を行い工業化に引きつぐまでの成果をまとめたもので、全文5章よりなる。

第1章は序論であり、この研究が開始された経緯とそれまでの類似デバイスを中心とした歴史的背景についてのべている。

第2章は、この新しいトランジスタすなわち静電誘導型トランジスタ（以下SITと略称）を試作するまでに準備された基礎技術についてのべたものである。まず、SITを試作するときを考えられるいくつかの構造例についてのべ、製作過程でおこる再拡散などの影響を考慮して、ゲートを形成するのに、選択拡散による方法と、エピタキシャル成長ののち選択エッチによって高不純物密度領域を部分的に残す方法とをとり上げた理由をのべている。ついでその基礎技術として、不純物密度約  $10^{13}/\text{cm}^3$  という従来より格段に優れた高純度エピタキシャル層及び、約  $10^{19}/\text{cm}^3$  の不純物含有量の領域を殆ど無欠陥で形成することに成功した研究結果についてのべている。

第3章は、SITの動作機構と幾何学的構造との関係を半定量的に求めた結果についてのべたものである。まず、従来の電界効果トランジスタから負帰還チャンネル抵抗を減少させた極限のものがSITであること、更にチャンネルがピンチオフした後は指数関数的な電流－電圧特性になり、ゲート及びドレインからの静電誘導効果によって障壁電位が変化して注入電流が制御されていると考えるのが妥当であることを示し、動作定数と幾何学的構造との関係を求めている。

第4章は、前章で求めた半定量的な理論式と実測結果とを比較した結果についてのべたもので、傾向としてはかなりよい一致を示すことを結論している。第5章は結論である。

以上本論文は、静電誘導効果による新しいトランジスタSITの試作とその機構についての研究成果をのべたもので、電子工学に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。